

012697640 \*\*Image available\*\*

WPI Acc No: 1999-503749/199942

XRPX Acc No: N99-376560

Thin film transistor for light emission current drive of organic electroluminescence image display device - in which length or width of gate electrode containing barrier layer is function of mean diameter of crystal grain area of polysilicon contained in barrier layer

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); TDK CORP (DENK )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11219133	A	19990810	JP 9820566	A	19980202	199942 B

Priority Applications (No Type Date): JP 9820566 A 19980202

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11219133	A		9 G09F-009/30	

Abstract (Basic): JP 11219133 A

NOVELTY - The barrier layer made of polysilicon is formed on thin film display element (2). The length of gate electrode (5) containing barrier layer and its width are incremented 10 times of mean diameter of crystal grain area of polysilicon.

USE - For light emission current drive of organic electroluminescence image display device.

ADVANTAGE - Range of variation in display surface is suppressed hence long life of TFT is ensured. The brightness of thin film display element need not be enhanced as the area of thin film display element is reduced. DESCRIPTION OF DRAWING(S) - The figure explains manufacturing process of TFT. (2) Thin film element; (5) Gate electrode.

Dwg. 1/10

Title Terms: THIN; FILM; TRANSISTOR; LIGHT; EMIT; CURRENT; DRIVE; ORGANIC; ELECTROLUMINESCENT; IMAGE; DISPLAY; DEVICE; LENGTH; WIDTH; GATE; ELECTRODE; CONTAIN; BARRIER; LAYER; FUNCTION; MEAN; DIAMETER; CRYSTAL; GRAIN; AREA; CONTAIN; BARRIER; LAYER

Derwent Class: P85; U12; U14; X26

International Patent Class (Main): G09F-009/30

International Patent Class (Additional): H05B-033/26

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

06277544

IMAGE DISPLAY UNIT

PUB. NO.: 11-219133 [JP 11219133 A]

PUBLISHED: August 10, 1999 (19990810)

INVENTOR(s): TAKAYAMA ICHIRO  
ARAI MICHIO

APPLICANT(s): TDK CORP  
SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 10-020566 [JP 9820566]

FILED: February 02, 1998 (19980202)

INTL CLASS: G09F-009/30; G09F-009/30; H05B-033/26

#### ABSTRACT

PROBLEM TO BE SOLVED: To reduce dispersion of a displayed image caused by dispersion of a characteristic of a light emitting current driving TFT in an organic EL image display unit.

SOLUTION: In an image display unit having a thin film display element driven by a direct current power source in every one picture element, an active layer of a light emitting current driving TFT for making driving current flow to the thin film display element is formed out of a polysilicon, and the length and width of a gate composed of the active layer are made respectively ten times or more as large as the average size of a crystal grain region of the polysilicon composing the active layer.

COPYRIGHT: (C)1999, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219133

(43) 公開日 平成11年(1999) 8月10日

(51) Int. Cl. <sup>6</sup>	識別記号	F I		
G09F 9/30	365	G09F 9/30	365	B
	338		338	
H05B 33/26		H05B 33/26		Z

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号	特願平10-20566	(71) 出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22) 出願日	平成10年(1998) 2月2日	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
		(72) 発明者	高山 一郎 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	荒井 三千男 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
		(74) 代理人	弁理士 山谷 皓榮 (外 2 名)

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 有機EL画像表示装置において、発光電流駆動用TFTの特性のバラツキによる表示画面のバラツキを改善すること。

【解決手段】 一画素毎に、直流電源で駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電流を流す発光電流駆動用TFTの活性層をポリシリコンで形成するとともに、この活性層で構成されるゲートの長さ及び幅の寸法を、それぞれ活性層を構成するポリシリコンの結晶粒領域の平均径の10倍以上にする。

## 【特許請求の範囲】

【請求項 1】一画素毎に直流電源で駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電流を流す発光電流駆動用 T F T の活性層をポリシリコンで形成するとともに、この活性層で構成されるゲートの長さ及び幅の寸法を、それぞれ活性層を構成するポリシリコンの結晶粒領域の平均径の 1 0 倍以上にしたことを特徴とする画像表示装置。

【請求項 2】前記発光電流駆動用 T F T のゲート容量を、次の表示用データ書き込み時間までそのゲート電圧を保持するのに十分な容量を持つように形成したことを特徴とする請求項 1 記載の画像表示装置。

## 【発明の詳細な説明】

## 【0 0 0 1】

【発明の属する技術分野】本発明は画像表示装置に係り、特に有機エレクトロルミネセンス ( E L ) 表示装置に好適な、高画質の画像表示装置に関する。

## 【0 0 0 2】

【従来の技術】近年において、有機 E L 素子を用いた表示装置が開発されている。有機 E L 素子を多数使用した有機 E L 素子装置をアクティブマトリックス回路により駆動する場合、各 E L のピクセル (画素) には、このピクセルに対して供給する電流を制御するための薄膜トランジスタ ( T F T ) の如き F E T (電界効果トランジスタ) が一組ずつ接続されている。すなわち有機 E L 素子に駆動電流を流すバイアス用の T F T と、そのバイアス用 T F T を選択すべきかを示すスイッチ用の T F T が一組ずつ接続されている。

【0 0 0 3】従来のアクティブマトリックス型の有機 E L 表示装置の回路図の一例を図 9 に示す。この有機 E L 表示装置は、X 方向信号線 3 0 1 - 1、3 0 1 - 2 . . . 、Y 方向信号線 3 0 2 - 1、3 0 2 - 2 . . . 電源 V d d 線 3 0 3 - 1、3 0 3 - 2 . . . 、スイッチ用 T F T トランジスタ 3 0 4 - 1、3 0 4 - 2 . . . 、電流制御用 T F T トランジスタ 3 0 5 - 1、3 0 5 - 2 . . . 、有機 E L 素子 3 0 6 - 1、3 0 6 - 2 . . . 、コンデンサ 3 0 7 - 1、3 0 7 - 2 . . . 、X 方向周辺駆動回路 3 0 8、Y 方向周辺駆動回路 3 0 9 等により構成される。

【0 0 0 4】X 方向信号線 3 0 1、Y 方向信号線 3 0 2 により画素が特定され、その画素においてスイッチ用 T F T トランジスタ 3 0 4 がオンにされてその信号保持用コンデンサ 3 0 7 に画像データが保持される。これにより電流制御用の T F T トランジスタ 3 0 5 がオンにされ、電源線 3 0 3 より有機 E L 素子 3 0 6 に画像データに応じたバイアス用の電流が流れ、これが発光される。

【0 0 0 5】例えば X 方向信号線 3 0 1 - 1 に画像データに応じた信号が出力され、Y 方向信号線 3 0 2 - 1 に Y 方向走査信号が出力されると、これにより特定された

画素のスイッチ用 T F T トランジスタ 3 0 4 - 1 がオンになり、画像データに応じた信号により電流制御用 T F T トランジスタ 3 0 5 - 1 が導通されて有機 E L 素子 3 0 6 - 1 に、この画像データに応じた発光電流が流れ、発光制御される。このように、一画素毎に、薄膜型の E L 素子と、前記 E L 素子の発光制御用の電流制御用 T F T トランジスタと、前記電流制御用 T F T トランジスタのゲート電極に接続された信号保持用のコンデンサと、前記キャパシタへのデータ書き込み用のスイッチ用の T F T トランジスタ等を有するアクティブマトリックス型 E L 画像表示装置において、E L 素子の発光強度は、信号保持用のキャパシタに蓄積された電圧によって制御された発光電流制御用の非線形素子である T F T トランジスタに流れる電流で決定される。( A 6 6 - i n 2 0 1 p i E l e c t r o l u m i n e s c e n t D i s p l a y T . p . B r o d y , F . C . L u o , e t . a l . , I E E E T r a n s . E l e c t r o n D e v i c e s , V o l . E D - 2 2 , N o . 9 , S e p . 1 9 7 5 , p 7 3 9 ~ p 7 4 9 参照) このとき使用される信号保持用のコンデンサの容量は微少な選択時間内で画素スイッチ T F T トランジスタが十分に電荷を充電できる容量以下であり、またこの画素スイッチ T F T トランジスタの非選択時のリーク電流が次の書き込み時間まで失わせる電荷により発生するコンデンサの保持電圧の低下が表示パネルの画像に悪影響を与えない容量以上であることが求められる。

## 【0 0 0 6】

【発明が解決しようとする課題】ところでアクティブマトリックスの表示装置は、その視認性から拡大投影を行う光学系を用いない場合は、4 インチ以上の画角が要求される。このサイズの表示面をシリコン単結晶基板上に構成することは、現在の単結晶 S i 基板の製作技術では 1 枚の単結晶基板から得られる枚数が非常に少ないため大変なコストがかかってしまう。

【0 0 0 7】そこでアクティブマトリックスの表示装置では、ガラス基板等の平面基板上に作成した非単結晶 S i 等の半導体層を用いた薄膜トランジスタ ( T F T ) を使用することが望ましい。

【0 0 0 8】ところで平面基板上に形成される半導体層は大面積のものが比較的容易に成膜できることから、アモルファス S i 膜 (以下 a - S i 膜という) を用いることが一般的である。しかし a - S i 膜で形成された T F T は一方向に定常的に電流を流し続けると、閾値がドリフトして電流値が変わり、画質に変動が生ずる。しかも a - S i 膜では移動度が小さいため高速応答でドライブできる電流にも限界があり、また P チャネルの形成が困難なところより、小規模な C M O S 回路の構成さえも困難である。

【0 0 0 9】そのためアクティブマトリックス型有機 E L 画像表示装置の半導体層としては、比較的大面積化が

容易でかつ高信頼性で移動度も高く、CMOS回路の形成も可能なPoly-Siを用いることが望ましい。

【0010】ところでPoly-Si層を用いて形成されたTFTは、そのチャンネル中に存在する結晶粒界の数によりトラップ準位密度が変化し、これが特性に影響を与える。そのためチャンネル長、又はチャンネル幅が結晶の粒径に近づくにつれチャンネル中に存在する粒界の数の変動の割合が大きくなる。これはチャンネル中のトラップ準位密度の変動割合の増大、ひいてはTFTの特性ばらつきを増大を引き起こす。このTFTの特性ばらつきを増大は表示装置の画質の低下を引き起こすので望ましくない。

【0011】従って本発明の第1の課題はPoly-Siの粒径による特性のばらつきをなくし、表示面のばらつきを改善することである。また、発光素子として有機EL素子を用いる場合、通常光の取り出しは基板側の透明電極から行われる。透明電極側の基板は透明基板にかざられる。これは特開平8-234683号公報の段落番号「0011」等でコダックのチン・ワン・タンが示しているように、①有機EL素子の陽極には仕事関係が4eV以下である、MgAg合金の如き、非透明な金属でなければならないこと、②このような金属は容易にパターンニングされないこと、③有機EL素子の発光層または各キャリアの輸送層を形成する有機薄膜は有機溶剤を用いるフォトリソを適用するプロセスにより層間剝離等の悪影響を受け易いことという理由のためである。

【0012】この理由により有機EL素子を画素毎に分離するには有機層の形成前に成膜する陰極を構成する透明電極をパターンニングして行う。これにより光の導出は基板側から行われることになる。又配線や、TFT、容量等の素子は通常非透明な薄膜で形成されるため、これらが形成されている領域は有機EL素子の発光を遮るので、このような各素子是有機EL素子の領域以外で形成する必要がある。

【0013】いまアクティブマトリクス型有機EL画像表示装置の画素は、図10(A)に示す如く、選択スイッチ用のTFT304、電流制御用のTFT305、有機EL素子306、信号保持用コンデンサ307が配置される。

【0014】画素の発光輝度は、図10(B)に示すように、画素の面積 $\alpha$ で得る発光輝度になる。図10(B)は、アクティブマトリクス型有機EL画像表示装置に対して、パッシブ型有機EL画像表示装置に対応する、つまりパッシブ型有機EL素子406の面積が $\alpha$ に相当する。アクティブマトリクス型有機EL画像表示装置においては、図10(A)に示すように発光する面積は、有機EL素子306の面積 $\beta$ であり $\beta < \alpha$ の関係がある。

【0015】選択スイッチ用のTFT304、電流制御用のTFT305、信号保持用コンデンサ307がない

場合が、図10(B)になるが、このときの単位面積当たりの発光輝度をAとし、図10(A)に示す有機EL素子306での単位面積当たりの発光輝度をBとする。

【0016】そしてそれぞれの画素当たりの総発光輝度を等しくすると以下の関係になる。

$$\beta B = \alpha A$$

$$B = (\alpha / \beta) A$$

すなわち、実際のアクティブマトリクス型有機EL画像表示装置においては、選択スイッチ用のTFT304、電流制御用のTFT305、信号保持用コンデンサ307が存在する為に、パッシブ型有機EL画像表示装置と同等の発光輝度を得ようとした場合に有機EL素子306での単位面積当たりの発光輝度を強くする必要がある。

【0017】換言すれば、TFT等で構成された画素中の回路部品の数、およびそのサイズの増大は、発光に直接寄与する有機EL素子が画素中に占める面積の割合を減少させるので、それにもとづく発光面積の減少を補うために有機EL素子の発光輝度を上昇せざるを得なくなる。

【0018】発光輝度を上げるためには有機EL素子に流れる電流の増大をもたらすことになり、その結果有機EL素子の寿命を短くし、信頼性を損ねるため望ましくない。

【0019】そこで本発明の第2の課題は、発光面積の減少を補うために部品の1つであるコンデンサを省略することである。このように、本発明の第1の目的は、有機EL素子の電流制御用のTFTトランジスタをポリシリコンで構成しても表示面のバラツキを改善した画像表示装置を提供することである。

【0020】また本発明の他の目的は、信号保持用のコンデンサを省略した画像表示装置を提供することである。

【0021】

【課題を解決するための手段】前記目的を達成するため本発明の画像表示装置では、下記(1)、(2)の如く構成される。

(1) 画素毎に、直流電源で駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電流を流す発光電流駆動用TFTの活性層をポリシリコンで形成するとともに、この活性層で構成されるゲートの長さ及び幅の寸法を、それぞれ活性層を構成するポリシリコンの結晶粒領域の平均径の10倍以上にしたことを特徴とする。

【0022】(2) 前記(1)に記載された画像表示装置において、前記発光電流駆動用TFTのゲート容量を、次の表示用データ書き込み時間までそのゲート電圧を保持するのに十分な容量を持つように形成したことを特徴とする。

【0023】これにより下記の如き効果が得られる。

(1) 発光電流駆動用TFTのゲートの長さ及び幅の寸法をそれぞれ、このTFTの活性層を構成するポリシリコンの結晶粒領域の平均径の10倍以上にしたことにより、例えば8階調で表示を行うとき、充分実用化ができるバラツキの範囲に抑制することができる。

【0024】(2) 発光電流駆動用TFTのゲート容量を、次の表示用データ書き込み時間までそのゲート電圧を保持するのに十分な容量となるように構成したので、従来必要であった信号保持用のキャパシタを省略することができる。そのため部品数を省略できるのみならず、一画素内の有機EL素子のサイズを大きくすることができ、その輝度を高めることなく使用できるので、長寿命の画像表示装置を提供することができる。

【0025】

【発明の実施の形態】本発明の一実施の形態を図1、図2に基づき説明する。図1、図2は本発明の画像表示装置を構成するTFT、特に有機EL素子の駆動電流を流す発光電流駆動用TFTの製造工程図である。

【0026】(1) 基板1として例えば石英基板を使用し、この基板1上にスパッタ法によりSiO<sub>2</sub>膜2を約1000Åの厚さで成膜する(図1(A)参照)。

(2) このSiO<sub>2</sub>膜2の上にアモルファスSi(a-Si)層3を約1000Åの厚さでLPCVD法により成膜する(図1(B)参照)。

【0027】このとき成膜条件は以下の通りである。

Si, H <sub>2</sub> ガス	100~500	SCCM
He ガス	500	SCCM
圧力	0.1~1	Torr
加熱温度	430~500℃	

0.1%のPH <sub>3</sub> が入ったSiH <sub>4</sub> ガス	200SCCM
TEMP	640℃
処理時間	0.4Hr

(7) 次に所定のパターンに従ったエッチング工程により、ゲート電極5とゲート酸化膜4とを形成する(図1(F)参照)。

【0032】(8) それからこのゲート電極5をマスクとして、ソース、ドレイン領域となるべき部分にイオンドーピング法により、例えばリンをドーピングしてゲート電極に対してセルフアラインとなるようにソース、ドレイン領域6、9を形成する(図2(A)参照)。

【0033】(9) これらの素子を含む基板を窒素雰囲気中に600℃で6時間処理し、その後更に850℃で30分間加熱し、ドーパントの活性化を行う。

(10) さらにこの基板全体にTEOSを出発材料として、SiO<sub>2</sub>膜を層間絶縁膜7として厚さ4000Åに形成する。このSiO<sub>2</sub>膜の成膜条件は、例えば以下の通りである。

TEOSガス	100	SCCM
加熱温度	700℃	

(3) このa-Si層3を固相成長させてポリシリコンにする。この固相成長の条件は、例えば以下の通りである。

【0028】

N <sub>2</sub>	1	SLM
TEMP	600℃	
処理時間	5~20hr	

次に

TEMP	850℃
処理時間	0.5~3hr

このようにしてa-Si層3を活性Si層とすることができる。

【0029】(4) 次に前記(3)により形成したポリシリコン層3'をアイランドを形成するためパターンニングする(図1(C)参照)。

(5) このパターンニングしたポリシリコン層3'にゲート酸化膜4を形成する(図1(D)参照)。

【0030】このゲート酸化膜4の形成条件は、例えば以下の通りである。

H <sub>2</sub>	4	SLM
O <sub>2</sub>	10	SLM
TEMP	800℃	
処理時間	5hr	

(6) 前記の如く、ゲート酸化膜4を形成し、このゲート酸化膜4の上にゲート電極となるシリコン層5を減圧CVD法により、厚さ2500Åに形成する(図1

(E)参照)。その成膜条件は、例えば以下の通りである。

【0031】

0.1%のPH <sub>3</sub> が入ったSiH <sub>4</sub> ガス	200SCCM
TEMP	640℃
処理時間	0.4Hr

又はプラズマTEOS法により下記の条件でSiO<sub>2</sub>膜を成膜する。

【0035】

TEOSガス	10~50	SCCM
O <sub>2</sub> ガス	500	SCCM
パワー	50~300	W
加熱温度	600℃	

そしてこのSiO<sub>2</sub>膜を形成後、各電極の配線のため、必要とするパターンに従ってパターンニングを行い、層間絶縁膜7等を形成する(図2(B)参照)。

【0036】(11) 次に電極用の金属薄膜を成膜し(図示省略)、パターンニングして、薄膜トランジスタを形成する。

(12) 前記の如く形成した薄膜トランジスタをさらに水素雰囲気中で350℃で1時間熱処理し、水素化を行い、半導体層の欠陥準位密度を減少させる。

【0037】この方法によれば、例えば4インチ対角の表示面の有機EL表示装置の画面を横320、縦240

画素で構成するとき、一画素のサイズは $250\mu\text{m}$ 平方位となるが、これに使用可能なゲートのサイズ $L=20\mu\text{m}$ 、 $W=20\mu\text{m}$ 、あるいは $L=10\mu\text{m}$ 、 $W=40\mu\text{m}$ に適する $0.5\sim 2\mu\text{m}$ 径のグレインサイズのポリシリコン層を構成することができる。

【0038】発光電流駆動用のTFTをPoly-Siの結晶粒領域の平均径の10倍以上にするということは通常、従来画素に配置していたTFTよりサイズが大きくなり、これに伴いゲート容量も増大する。

【0039】そこでこのTFTのサイズをPoly-Siの結晶粒領域の平均径の10倍以上と同時に従来配置してあった信号保持用の容量と同程度のゲート容量を持つように設計することにより、信号保持用の容量を省略し、有機EL素子が画素中に占める面積を増やすことができ、信頼性を向上させる。

【0040】これにより従来コンデンサが占めていた面積も有機EL素子が使用できるので、有機EL素子に流れる電流を従来より抑制することができ長寿命なパネルが得られる。

【0041】すなわち、図3に示す如く、一画素におけるコンデンサが不必要となる分だけ有機EL素子306の面積を大きくすることができ、その画像表示装置の回路も、図4に示す如く、従来のものに比較して簡略化することができる。

【0042】本発明によれば結晶粒界をチャンネル中に多数存在させることにより、粒界の数の変動の割合を抑え、これによりチャンネル中のトラップ準位密度の変動割合の抑制、ひいてはTFTの特性ばらつきを抑制する。

【0043】なおポリシリコンの粒径の大きさの制御の手法は、IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 43, No. 9, SEPTEMBER 1996, P1399~1406, 特にそのP1401に詳述されているように、成膜時の温度、成膜速度等により変化するものであり、詳細については説明簡略化のため省略する。

【0044】L及びWの寸法がゲート等を構成するポリシリコンの結晶粒領域の平均径の10倍であれば、通常の情報表示のとき要求される8階調のものに対して充分実用可能な範囲にバラツキの程度を抑制することができる。

【0045】8階調の表示を行う場合には、通常ノイズはシグナルに対して $1/10$  (20dB) になるように設計されることが求められている。アクティブマトリックスのシステム構成のうち、このノイズの主たる原因はTFTの特性のバラツキによるドレイン電流のバラツキが主原因になっている。いまTFTのゲート長及び幅をこのTFTの活性層を形成するポリシリコンの結晶粒領域の平均径の10倍以上にするとドレイン電流のバラツキを実際にアクティブマトリックスのシステム中で用いるバイアス条件下で $1/10$ 以下に抑えられることが明

らかになった。図5は、TFTの閾値 $V_{th}=0.5\text{V}$ のとき、ゲート電圧 $V_G=\text{約}6\text{V}$ を印加した場合のものである。

【0046】図5は横軸をチャンネル長Lとポリシリコンの粒径との比つまり倍率を示し、縦軸をドレイン電流の平均値(Ave)とドレイン電流の標準偏差( $\sigma$ )の比を%で示したものである。これにより明らかなように、チャンネル長Lとポリシリコンの結晶粒領域の平均径との比(L/結晶粒領域の平均径)が $1/10$ 以上ではドレイン電流の平均値(Ave)とドレイン電流の標準偏差( $\sigma$ )の比が8%以下となることが明らかである。又ゲート長及び幅をより大きくすると、つまり前記L/結晶粒領域の平均径の比をより大きくすればバラツキはますます小さくなるが、そのバラツキの減少量は段々と小さくなってゆく。なおゲート電圧を変更しても、例えば5V程度に変更しても同様の傾向が得られた。

【0047】またL及びWの寸法がゲート等を構成する活性層のポリシリコンのグレイン・サイズの50倍以上のときは、人間の目ではバラツキがほとんど判断できないものとなることができる。

【0048】ここで本発明における結晶粒領域とその平均径の定義を図6~図8を参照して説明する。図6は走査型電子顕微鏡(Scanning Electron Microscopy: SEM)で半導体表面を拡大観察した顕微鏡写真の拡大図、図7(A)はその一部抽出図、図7(B)は領域区分説明図、図8は本発明における結晶粒領域の平均径の測定方法説明図である。

【0049】①まずポリシリコンを、エッチング液組成としてHF(49%)と $\text{K}_2\text{Cr}_2\text{O}_7$ (0.15モル)を1:2のものを使用したSECCOエッチング処理を約5秒間行い、その基板のSEM写真をとる。そしてこれを適当なサイズに拡大する。この時の倍率は後述する結晶粒領域が十分な数だけ視野に収まるようにすることが必要である。

【0050】②このSEM写真より図7(A)に示す如く細かい粒状物を周りに持たない様に連続して見えるA領域、細かい粒状物を付近に持った様に連続して見えるB領域と細かい粒状物の領域を原則ほぼ中央に存在する溝に沿って分けた内のB領域近傍部分のC領域、前述のB領域とC領域をまとめたX領域、極端に長尺状で様に連続して見えるD領域を特定し、このA領域、X領域、D領域を結晶粒領域と定義する。図7(B)はこのA、B、C、Dの各領域の区分説明図である。

【0051】③次に、図8に示す如く、この拡大した顕微鏡写真の画面中の任意の一点Pを中心として、45度づつ回転させた任意の長さの直線(この例では $2.4\mu\text{m}$ )A、B、C、Dを引き、この直線A、B、C、Dを横切る結晶粒領域の境界の数を数える。

【0052】④それぞれの直線上で境界と境界の間を、その結晶粒領域の長さとし、それぞれの直線上でカウ

トされる結晶粒領域の数でそれぞれの直線上の結晶粒領域の長さの総和を除算したものをその直線上での結晶粒領域の平均径とする。図 6～図 8 の例では下記の表 1 に

表 1

	界面の数	結晶粒の数	平均径
直線 A	4	2	～ 1. 2 $\mu\text{m}$
直線 B	8	4	～ 0. 6 0 $\mu\text{m}$
直線 C	1 1	5. 5	～ 0. 4 4 $\mu\text{m}$
直線 D	6	3	～ 0. 8 0 $\mu\text{m}$

なおその直線での結晶粒領域の平均径については、直線 A では  $2. 4 \mu\text{m} / 2 = 1. 2 \mu\text{m}$ 、直線 B では  $2. 4 \mu\text{m} / 4 = 0. 6 \mu\text{m}$ 、直線 C では  $2. 4 \mu\text{m} / 5. 5 = 0. 4 4 \mu\text{m}$ 、直線 D では  $2. 4 \mu\text{m} / 3 = 0. 8 0 \mu\text{m}$  となる。

【 0 0 5 4 】 ⑤次に各直線の結晶粒領域の平均径の平均を求める。これをこの膜における結晶粒領域の平均径とする。この例では  $(1. 2 + 0. 6 0 + 0. 4 4 + 0. 8 0) / 4 = 0. 7 6$  つまり本例では  $\sim 0. 7 6 \mu\text{m}$  となる。

【 0 0 5 5 】

【発明の効果】本発明によれば下記の効果を奏する。

(1) 有機 EL 素子の如き、薄膜表示素子に駆動電流を流す発光電流駆動用 TFT の活性層をポリシリコンで形成するとともに、これにより構成されるゲートの長さ及

20

示すようになる。

【 0 0 5 3 】

ものを提供することができる。

【図面の簡単な説明】

【図 1】本発明における画像表示装置に使用する TFT の製造工程説明図（その 1）である。

【図 2】本発明における画像表示装置に使用する TFT の製造工程説明図（その 2）である。

【図 3】本発明における一画素の構成説明図である。

【図 4】本発明における画像表示装置の回路説明図である。

【図 5】チャネル長と結晶粒領域の平均径比と、ドレイン電流の平均値とドレイン電流の標準偏差の比との関係を示したものである。

【図 6】半導体表面を走査型電子顕微鏡で拡大観察した電子顕微鏡写真の拡大図である。

30

【図 7】図 6 の一部抽出図及び領域区分説明図である。

【図 8】本発明における結晶粒領域の平均径の測定方法の説明図である。

【図 9】従来例の画像表示装置の回路説明図である。

【図 10】従来例の一画素の構成説明図である。

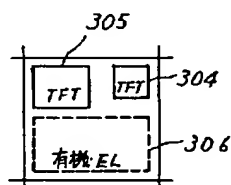
【符号の説明】

- 1 基板
- 2 SiO<sub>2</sub> 膜
- 3 a-Si 層
- 4 ゲート酸化膜
- 5 ゲート電極

40

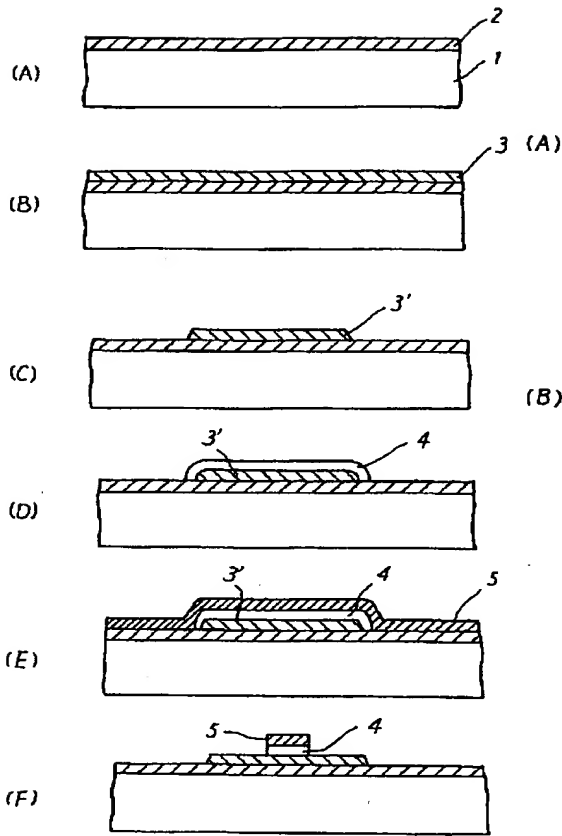
薄膜表示素子の輝度を高める必要がなくなり、長寿命の

【図 3】

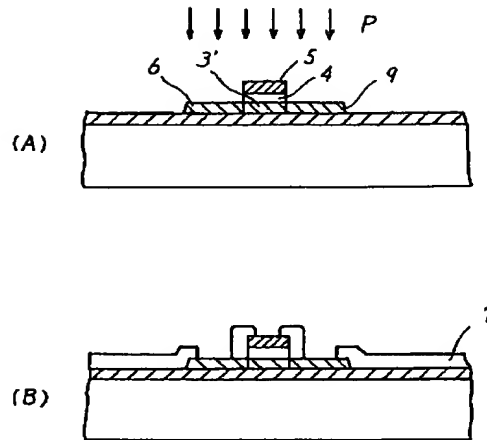




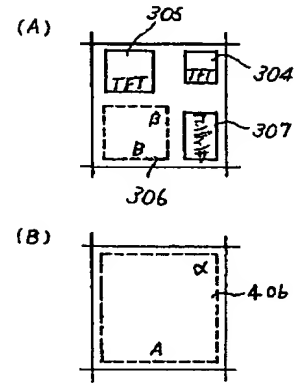
【図 1】



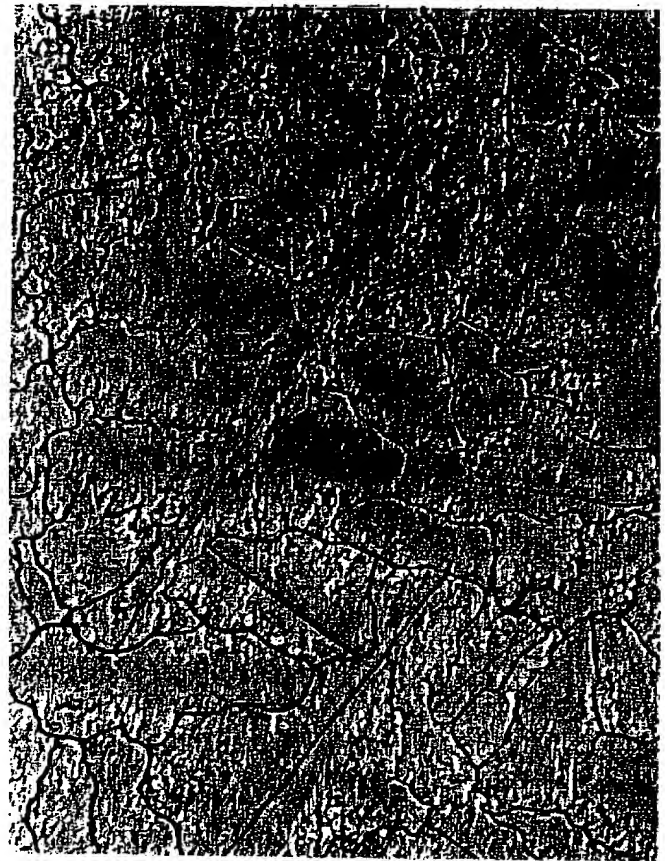
【図 2】



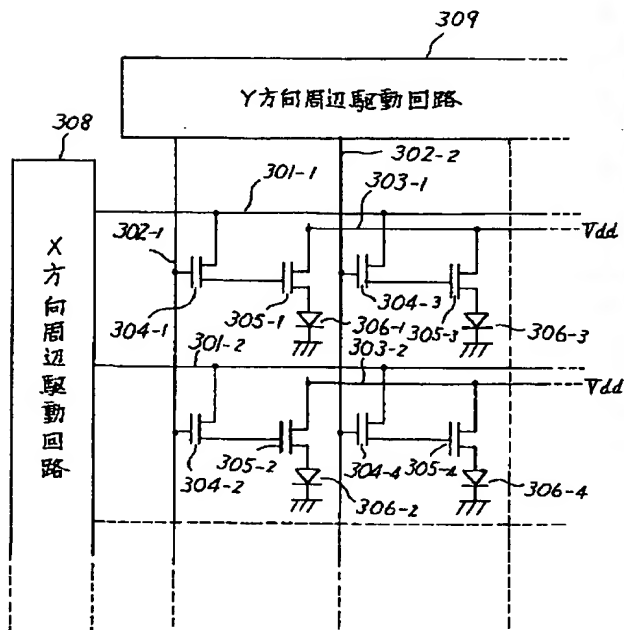
【図 10】



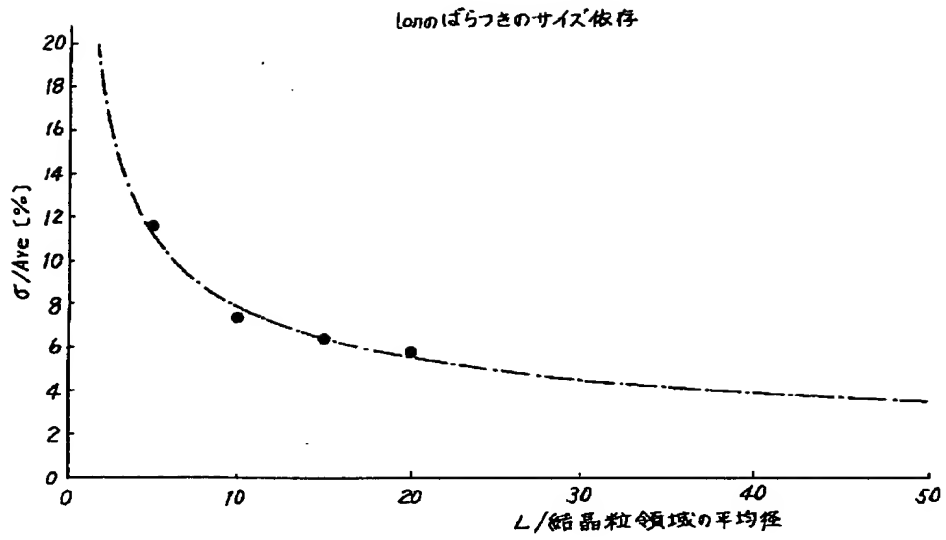
【図 6】



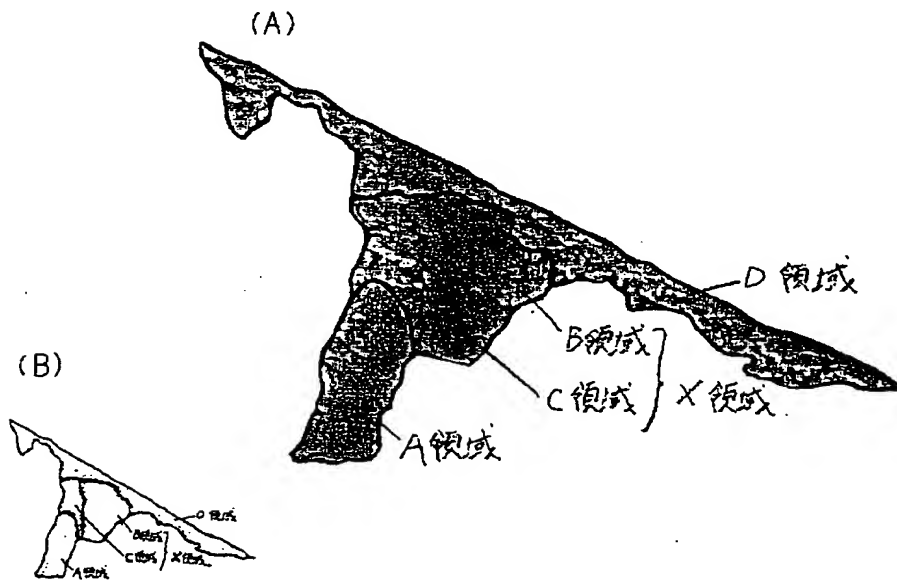
【図 4】



【図 5】



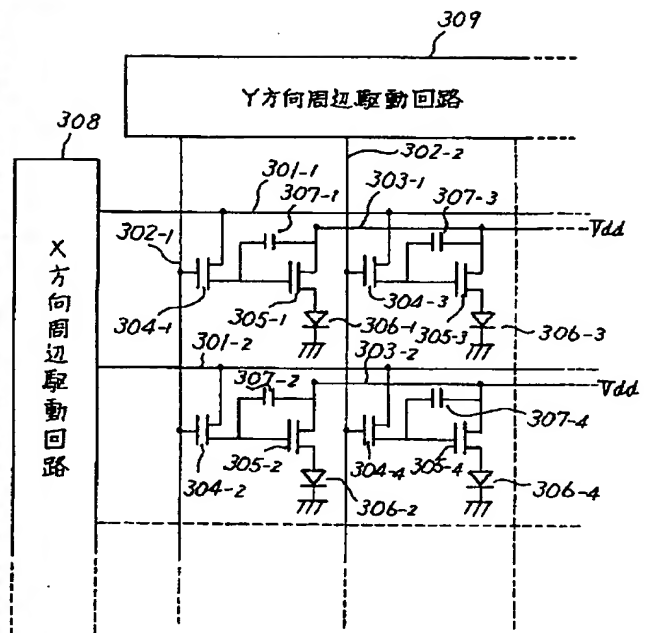
【図 7】



【図 8】



【図 9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**